



ト電極と、ゲート絶縁膜と、i型半導体層と、ソース、ドレイン電極とを積層して構成されており、メモリトランジスタのゲート絶縁膜は電荷蓄積機能をもつ絶縁膜で形成され、選択トランジスタのゲート絶縁膜は電荷蓄積機能のない絶縁膜で形成されている。

第9図は前記従来の薄膜トランジスタメモリの等価回路図であり、ここでは、1つのメモリトランジスタに対して2つの選択トランジスタを備えた薄膜トランジスタメモリの等価回路を示している。

第9図において、T<sub>1</sub>はメモリトランジスタ、T<sub>2</sub>はメモリトランジスタT<sub>1</sub>の両側に配置された2つの選択トランジスタであり、メモリトランジスタT<sub>1</sub>のソース電極S<sub>1</sub>は一方の選択トランジスタT<sub>2</sub>のドレイン電極D<sub>2</sub>に接続され、メモリトランジスタT<sub>1</sub>のドレイン電極D<sub>1</sub>は他方の選択トランジスタT<sub>2</sub>のソース電極S<sub>2</sub>に接続されている。そして、前記一方の選択トランジスタT<sub>2</sub>のソース電極S<sub>2</sub>はトランジスタメモリのソース電極S<sub>0</sub>とされ、他方の選択トランジスタT<sub>2</sub>のドレイン電極D<sub>2</sub>はトランジスタメモリのドレイン電極D<sub>0</sub>とされており、前記ソース電極S<sub>0</sub>は図示しないソースラインに接続され、前記ドレイン電極D<sub>0</sub>は図示しないドレインラインに接続されている。またメモリトランジスタT<sub>1</sub>のゲート電極G<sub>1</sub>は図示しない第1のゲートラインに接続され、2つの選択トランジスタT<sub>2</sub>のゲート電極G<sub>2</sub>は図示しない第2のゲートラインに共通接続されている。なお、前記第1および第2のゲートラインは多数本平行に配線され、ソースラインおよびドレインラインはゲートラインと直交させて多数本配線されており、メモリトランジスタT<sub>1</sub>と選択トランジスタT<sub>2</sub>によって構成される薄膜トランジスタメモリは、第1、第2ゲートラインとソース、ドレインラインとの交差部にそれぞれ形成されている。

この薄膜トランジスタメモリの書き込み、消去、読出しあは次のようにして行なわれる。

第9図において、(a)は書き込み時、(b)は消去時、(c)は読出し時の電圧印加状態を示している。

まず書き込みについて説明すると、書き込み時は、第9図(a)に示すように、ソース電極S<sub>0</sub>およびドレイン電極D<sub>0</sub>を接地(GND)するとともに、選択トランジスタT<sub>2</sub>のゲート電極G<sub>2</sub>にON電圧V<sub>ON</sub>を印加し、メモリトランジスタT<sub>1</sub>のゲート電極G<sub>1</sub>に書き込み電圧+V<sub>P</sub>を印加する。このような電圧を印加すると、選択トランジスタT<sub>2</sub>がオンし、メモリトランジスタT<sub>1</sub>のゲート電極G<sub>1</sub>とソース、ドレイン電極S<sub>1</sub>、D<sub>1</sub>との間に書き込み電圧+V<sub>P</sub>がかかって、メモリトランジスタT<sub>1</sub>が書き込み状態(OFF状態)となる。

また消去時は、第9図(b)に示すように、ソース電極S<sub>0</sub>およびドレイン電極D<sub>0</sub>を接地(GND)するとともに、選択トランジスタT<sub>2</sub>のゲート電極G<sub>2</sub>にON電圧V<sub>ON</sub>を印加し、メモリトランジスタT<sub>1</sub>のゲート電極G<sub>1</sub>に、書き込み電圧+V<sub>P</sub>とは逆電位の消去電圧-V<sub>P</sub>を印加する。この

ような電圧を印加すると、選択トランジスタT<sub>2</sub>がオンし、メモリトランジスタT<sub>1</sub>のゲート電極G<sub>1</sub>とソース、ドレイン電極S<sub>1</sub>、D<sub>1</sub>との間に書き込み電圧+V<sub>P</sub>と逆電位の電位差(-V<sub>P</sub>)が生じて、メモリトランジスタT<sub>1</sub>が消去状態(ON状態)となる。

一方、読出し時は、第9図(c)に示すように、メモリトランジスタT<sub>1</sub>のゲート電極G<sub>1</sub>とソース電極S<sub>0</sub>を接地(GND)するとともに、選択トランジスタT<sub>2</sub>のゲート電極G<sub>2</sub>にON電圧V<sub>ON</sub>を印加し、ドレイン電極D<sub>0</sub>に読出し電圧V<sub>D</sub>を印加する。このような電圧を印加すると、メモリトランジスタT<sub>1</sub>が消去状態(ON状態)であればドレイン電極D<sub>0</sub>からソース電極S<sub>0</sub>に電流が流れ、メモリトランジスタT<sub>1</sub>が書き込み状態(OFF状態)であれば前記電流は流れないので、ソース電極S<sub>0</sub>からソースラインに流れる電流の有無に応じた読出しデータが出力される。

なお、ここでは1つのメモリトランジスタT<sub>1</sub>に対して2つの選択トランジスタT<sub>2</sub>を備えた薄膜トランジスタメモリについて説明したが、薄膜トランジスタメモリには、1つのメモリトランジスタに対して1つの選択トランジスタを備えているものがある。

#### 〔発明が解決しようとする課題〕

しかしながら、前記従来の薄膜トランジスタメモリは、基板上にメモリ用の薄膜トランジスタと選択用の薄膜トランジスタとを隣接させて形成して、このメモリトランジスタと選択トランジスタとを接続配線により直列に接続したものであるため、1つのトランジスタメモリの素子面積(平面積)が大きく、したがってトランジスタメモリを縦横に配列して構成されるメモリマトリックスの集積度を上げることが難しいという問題をもっていた。しかも、従来の薄膜トランジスタメモリは、メモリ用薄膜トランジスタのゲート絶縁膜を電荷蓄積機能をもつ絶縁膜とし、選択用薄膜トランジスタのゲート絶縁膜を電荷蓄積機能のない絶縁膜としたものであるため、メモリ用薄膜トランジスタと選択用薄膜トランジスタとをそれぞれ別工程で製造しなければならず、したがって薄膜トランジスタメモリの製造に多くの工程数を要するという問題ももっていた。

本発明は前記のような実情にかんがみてなされたものであって、その目的とするところは、メモリ用薄膜トランジスタと選択用薄膜トランジスタとで構成されるトランジスタメモリの素子面積を小さくして集積度を上げることができるとともに、少ない工程数で容易に製造することができる薄膜トランジスタメモリを提供することにある。

#### 〔課題を解決するための手段〕

本発明の薄膜トランジスタメモリは、半導体層と、この半導体層の一面側に形成されたメモリ用ゲート絶縁膜と、該半導体層の一面側の該メモリ用ゲート絶縁膜に対応した部分の上部に形成されたメモリ用ゲート電極と、前記半導体層の他面側に形成されたソース、ドレイン電

# BEST AVAILABLE COPY

(3)

特許2969184

5

極と、前記半導体層の他面および前記ソース、ドレイン電極を覆って形成され、前記メモリ用ゲート電極領域に対応する部分が他の部分より厚くされたゲート絶縁膜と、該ゲート絶縁膜上に、前記半導体層領域のほぼ全面に対応した領域を含んで形成された選択トランジスタ用ゲート電極とを備えたものである。

このように、半導体層の一面側にメモリ用ゲート絶縁膜とメモリ用ゲート電極を形成し、半導体層の他面側に、ソース、ドレイン電極、およびゲート絶縁膜、選択トランジスタ用ゲート電極を形成すると、メモリ用ゲート電極と選択トランジスタ用ゲート電極が積層される構造となり、同一平面に並べて形成する場合に比して面積を小さくすることができる。

## 〔実施例〕

以下、本発明の実施例を図面を参照して説明する。

第1図～第5図は本発明の第1の実施例を示したもので、第1図および第2図は薄膜トランジスタメモリの断面図および平面図である。

この薄膜トランジスタメモリの構造を説明すると、図中11はガラス等からなる絶縁性基板であり、この基板11上には下部ゲート電極G<sub>10</sub>が形成されている。この下部ゲート電極G<sub>10</sub>は、基板11上に形成した下部ゲートラインGL<sub>10</sub>の上に局部的に突出形成されており、この下部ゲート電極G<sub>10</sub>は、下部ゲートラインGL<sub>10</sub>と同じ幅に、3000Åの厚さに形成されている。また、前記基板11上には、前記下部ゲートラインGL<sub>10</sub>および下部ゲート電極G<sub>10</sub>を覆う平坦化絶縁膜12が形成されている。この平坦化絶縁膜12は電荷蓄積機能のない絶縁膜からなっており、この平坦化絶縁膜12は、下部ゲートラインGL<sub>10</sub>を厚く覆い、下部ゲート電極G<sub>10</sub>を薄く覆う厚さに形成されている。なお、この平坦化絶縁膜12の下部ゲートラインGL<sub>10</sub>上の部分の膜厚は4000Å、下部ゲート電極G<sub>10</sub>上の部分の膜厚は1000Åである。そして、この平坦化絶縁膜12の上には、下部ゲート絶縁膜13が基板11のほぼ全面にわたって形成されている。この下部ゲート絶縁膜13はその上層部に電荷蓄積機能をもたせたもので、この下部ゲート絶縁膜13は、電荷蓄積機能のないSiN（窒化シリコン）からなる下層絶縁膜13aの上に、Si（シリコン）の組成比を多くして電荷蓄積機能をもたせたSiNからなるメモリ性絶縁膜13bを積層した二層膜となっている。なお、前記下層絶縁膜13aの膜厚は900Å、メモリ性絶縁膜13bの膜厚は100Åである。この下部ゲート絶縁膜13の上（メモリ性絶縁膜13bの上）には、アモルファスシリコンまたはポリシリコンからなるi型の半導体層14がトランジスタメモリの素子形状に対応するパターンに形成されており、この半導体層14の両側部の上には、n型半導体（n型不純物をドープしたアモルファスシリコンまたはポリシリコン）からなるオーミックコンタクト層15を介して、ソース電極Sとドレイン電極Dが形成されている。このソース電極Sおよびドレイン電極Dはそ

6

れぞれ、下部ゲート絶縁膜13の上に前記下部ゲートラインGL<sub>10</sub>と直交させて配線したソースラインSLおよびドレインラインDLにつながっている。そして、前記半導体層14およびソース、ドレイン電極S、Dの上には、基板11のほぼ全面にわたって、電荷蓄積機能のない窒化シリコンからなる上部ゲート絶縁膜16が形成されている。この上部ゲート絶縁膜16の上には、上部ゲートラインGL<sub>20</sub>が下部ゲートラインGL<sub>10</sub>と平行に配線されており、この上部ゲートラインGL<sub>20</sub>のうちの半導体層14上の部分は上部ゲート電極G<sub>20</sub>とされている。

そして、前記下部ゲート電極G<sub>10</sub>と、平坦化絶縁膜12および電荷蓄積機能をもつ下部ゲート絶縁膜13と、半導体層14およびソース、ドレイン電極S、Dとは、逆スタガーモードのメモリ用薄膜トランジスタ（以下、メモリトランジスタという）T<sub>10</sub>を構成している。また、このメモリトランジスタT<sub>10</sub>のゲート電極である下部ゲート電極G<sub>10</sub>は、半導体層14のチャンネル長方向の中央部（ソース、ドレイン電極S、D間の中央部）に対向させて、半導体層14のチャンネル長方向幅のほぼ1/3の幅に形成されており、したがって下部ゲート絶縁膜13は、下部ゲート電極G<sub>10</sub>と対向する中央部だけがメモリ領域となっている。

一方、前記上部ゲート電極G<sub>20</sub>は、半導体層14の全体に対向する電極とされており、この上部ゲート電極G<sub>20</sub>と半導体層14との間の上部ゲート絶縁膜16は、下部ゲート絶縁膜13のメモリ領域（下部ゲート電極G<sub>10</sub>の対向部分）の上の部分と、ソース、ドレイン電極S、Dのほぼ中央に対向する位置からの外側の部分の膜厚を厚くし、前記メモリ領域とソース電極Sとの間およびメモリ領域とドレイン電極Dとの間の部分の膜厚をそれぞれ薄くした絶縁膜とされている。すなわち、この上部ゲート絶縁膜16は、半導体層13の全体を覆う下層絶縁膜16aと、この下層絶縁膜16aの表面全体に形成されたエッチングストップ用絶縁膜16bと、このエッチングストップ用絶縁膜16bの上に前記メモリ領域およびソース、ドレイン電極S、Dのほぼ中央から外側の部分にそれぞれ対応させて形成された上層絶縁膜16cとからなる積層構造とされており、前記下層絶縁膜16aと上層絶縁膜16cは例えれば電荷蓄積機能のないSiNで形成され、エッチングストップ用絶縁膜16bは例えればAl<sub>2</sub>O<sub>3</sub>（アルミナ）で形成されている。ま

た、下層絶縁膜16aの膜厚は1900Å、エッチングストップ用絶縁膜16bの膜厚は100Å、上層絶縁膜16cの膜厚は3000Åとされており、この上部ゲート絶縁膜16の厚膜部分（下層絶縁膜16aとエッチングストップ用絶縁膜16bと上層絶縁膜16cとからなる三層膜部分）の膜厚は、半導体層14のメモリ領域対応部分に上部ゲート電極G<sub>20</sub>からゲート電圧が印加されるのを防ぐのに十分な膜厚（5000Å）とされ、上部ゲート電極G<sub>20</sub>の薄膜部分（下層絶縁膜16aとエッチングストップ用絶縁膜16bとからなる二層膜部分）の膜厚は、半導体層14に上部ゲート電極G<sub>20</sub>から十分なゲート電圧を印加できる膜厚（2000Å）とされ

50

ている。なお、この上部ゲート絶縁膜16の膜厚部分は、ソース、ドレインラインSL, DLの長さ方向における絶縁膜全長に形成されている。

そして、前記メモリトランジスタT<sub>10</sub>の上には、前記半導体層14およびソース、ドレイン電極S, DをメモリトランジスタT<sub>10</sub>と共用する2つの選択用薄膜トランジスタ（以下、選択トランジスタという）T<sub>20</sub>, T<sub>20</sub>が形成されている。この2つの選択トランジスタT<sub>20</sub>, T<sub>20</sub>は、前記半導体層14およびソース、ドレイン電極S, Dと、電荷蓄積機能のない上部ゲート絶縁膜16と、上部ゲート電極G<sub>20</sub>とで構成されたコプラナー型薄膜トランジスタであり、一方の選択トランジスタT<sub>20</sub>は、半導体層14およびソース、ドレイン電極S, Dと、上部ゲート絶縁膜16の一方の薄膜部分と、上部ゲート電極G<sub>20</sub>とで構成され、他方の選択トランジスタT<sub>20</sub>は、前記半導体層14およびソース、ドレイン電極S, Dと、上部ゲート絶縁膜16の他方の薄膜部分と、上部ゲート電極G<sub>20</sub>とで構成されている。

この2つの選択トランジスタT<sub>20</sub>, T<sub>20</sub>は、そのゲート電極（上部ゲート電極）G<sub>20</sub>を半導体層14の全体に対向する電極としたことによってゲート側で共通接続されており、またこの両選択トランジスタT<sub>20</sub>, T<sub>20</sub>は、そのソース、ドレイン電極S, DをメモリトランジスタT<sub>10</sub>と共用したことによって、メモリトランジスタT<sub>10</sub>と直列に接続されている。

さらに、前記上部ゲート絶縁膜16の選択トランジスタT<sub>20</sub>, T<sub>20</sub>を構成する2箇所の薄膜部分はそれぞれ、下部ゲート絶縁膜13のメモリ領域に対応する膜厚部分のチャネル長方向の幅を下部ゲート電極G<sub>10</sub>のチャネル長方向幅より小さくすることによって、下部ゲート電極G<sub>10</sub>の両側部にラップさせてある。このようにしているのは、メモリトランジスタT<sub>10</sub>と両選択トランジスタT<sub>20</sub>, T<sub>20</sub>との電気的な接続を確保するためであり、上部ゲート絶縁膜16の選択トランジスタT<sub>20</sub>, T<sub>20</sub>を構成する薄膜部分を下部ゲート電極G<sub>10</sub>にラップさせておけば、半導体層14のメモリトランジスタT<sub>10</sub>領域と選択トランジスタT<sub>20</sub>領域との境界部（下部ゲート絶縁膜13のメモリ領域に対応する部分の両側部）に、メモリトランジスタT<sub>10</sub>のゲート電極（下部ゲート電極）G<sub>10</sub>からも選択トランジスタT<sub>20</sub>, T<sub>20</sub>のゲート電極（上部ゲート電極）G<sub>20</sub>からもゲート電圧を印加することができるから、メモリトランジスタT<sub>10</sub>と選択トランジスタT<sub>20</sub>, T<sub>20</sub>との両方をONさせたときに、半導体層14を介してドレイン電極Dからソース電極Sに電流が流れる。なお、この実施例では、上部ゲート絶縁膜16のメモリ領域上の膜厚部分の幅を、下部ゲート電極G<sub>10</sub>の幅のほぼ1/2としているが、この膜厚部分の幅は、下部ゲート電極G<sub>10</sub>の幅以下であれば任意の幅でよく、要は、上部ゲート絶縁膜16の薄膜部分が下部ゲート電極G<sub>10</sub>の少なくとも側縁に対向していればよい。

第3図は前記薄膜トランジスタメモリの製造方法を示したもので、この薄膜トランジスタメモリは次のような工程で製造される。

まず、第3図（a）に示すように、基板11上にゲートラインGL<sub>10</sub>となる金属膜30を500Åの厚さに堆積させ、その上に下部ゲート電極G<sub>10</sub>となる金属膜31を3000Åの厚さに堆積させる。なお、下部ゲート電極G<sub>10</sub>となる上層の金属膜31はTa（タンタル）等で形成し、ゲートラインGL<sub>10</sub>となる下層の金属膜30は、前記上層の金属膜31とエッチングレートの異なる金属、例えばCr（クロム）等で形成する。

次に、第3図（b）に示すように、前記上層の金属膜31のフォトリソグラフィ法によりバーニングして下部ゲート電極G<sub>10</sub>を形成し、次いで前記下層の金属膜30をフォトリソグラフィ法によりバーニングしてゲートラインGL<sub>10</sub>を形成する。

次に、第3図（c）に示すように、基板11上の全面に、SOG（スピノン・オン・ガラス）と呼ばれるシラノール系無機絶縁物をスピノンコート法により塗布してこれを約300°Cで約1時間加熱し、下部ゲートラインGL<sub>10</sub>上の部分の膜厚が4000Å、下部ゲート電極G<sub>10</sub>上の部分の膜厚が1000Åで、かつ上面が平坦な平坦化絶縁膜12を形成する。

次に、第3図（d）に示すように、前記平坦化絶縁膜12の上に、下部ゲート絶縁膜13の下層絶縁膜（電荷蓄積機能のないSiN膜）13aと、電荷蓄積機能をもつメモリ性絶縁膜（Siの組成比を多くしたSiN膜）13bとを、900Å, 100Åの厚さに連続して順次堆積させて、この下層絶縁膜13aとメモリ性絶縁膜13bとからなる二層の下部ゲート絶縁膜13を形成し、その上に、i型アモルファスシリコンまたはi型ポリシリコンからなる半導体層14と、n型半導体（n型アモルファスシリコンまたはn型ポリシリコン）からなるオーミックコンタクト層15とを、1000Å, 250Åの厚さに連続して順次堆積させ、さらにその上に、Cr等からなるソース、ドレイン電極用金属膜40を500Åの厚さに堆積させる。

次に、前記ソース、ドレイン電極用金属膜40をフォトリソグラフィ法によりバーニングして、第3図（e）に示すように、ソース、ドレイン電極用金属膜40からなるソース、ドレイン電極S, Dおよびソース、ドレインラインSL, DLを形成し、次いでオーミックコンタクト層15をソース、ドレイン電極S, Dおよびソース、ドレインラインSL, DLの形状にバーニングする。

次に、第3図（f）に示すように、半導体層14をフォトリソグラフィ法によりトランジスタメモリの素子形状にバーニングして、メモリトランジスタT<sub>10</sub>を構成する。なお、この半導体層14は、ソースラインSLおよびドレインラインDLの下にもその全長にわたって残る。

次に、第3図（g）に示すように、基板11上の全面に、上部ゲート絶縁膜16の下層絶縁膜16aと、エッテン

# BEST AVAILABLE COPY

( 5 )

特許2969184

9

グストップ用絶縁膜16bと、上層絶縁膜16cを、1900Å, 100Å, 3000Åの厚さに堆積させる。

次に、第3図 (h) に示すように、前記上層絶縁膜16cのうち、下部ゲート絶縁膜13のメモリ領域（下部ゲート電極G10の対向部分）とソース電極Sとの間および前記メモリ領域とドレイン電極Dとの間の部分をフォトリソグラフィ法によってエッチング除去し、前記メモリ領域の上の部分とソース、ドレイン電極S, Dのほぼ中央に対向する位置から外側の部分とを、下層絶縁膜16aとエッチンググストップ用絶縁膜16bと上層絶縁膜16cとからなる三層膜部分構造の厚膜部分（膜厚5000Å）とし、前記メモリ領域とソース、ドレイン電極S, Dとの間の部分を、下層絶縁膜16aとエッチンググストップ用絶縁膜16bとからなる二層膜構造の薄膜部分（膜厚2000Å）薄膜部分とした上部ゲート絶縁膜16を形成する。この場合、前記上層絶縁膜16cの除去部分をエッチングしても、このエッチングの進行はエッチンググストップ用絶縁膜16bによって阻止されるから、上層絶縁膜16cをバターニングするエッチング時に、下層絶縁膜16aがダメージを受けることはなく、したがって、この上部ゲート絶縁膜16は歩留よく形成することができる。

次に、第3図 (i) に示すように、前記上部ゲート絶縁膜16の上にAl（アルミニウム）等の金属膜を4000Åの厚さに堆積させ、この金属膜をフォトリソグラフィ法によりバターニングして上部ゲート電極G20および上部ゲートラインGL20を形成して、2つの選択トランジスタT<sub>20</sub>, T<sub>20</sub>を構成し、薄膜トランジスタメモリを完成する。

なお、この製造方法では、下部ゲート電極G10と平坦化絶縁膜12を第3図 (a) ~ (c) に示した工程で形成しているが、この下部ゲート電極G10と平坦化絶縁膜12は他の方法で形成することもできる。

すなわち、第4図は前記下部ゲート電極G10と平坦化絶縁膜12を形成する他の方法を示している。

この方法は、下部ゲート電極G10および下部ゲートラインGL10を前述した方法で第4図 (a) に示すように形成した後、第4図 (b) に示すように、基板11上の全面にPSG（矽ガラス）からなる絶縁膜12Aを減圧CVD法により約4000Åの厚さに堆積させ、この後、850°C~1000°Cの水蒸気雰囲気中で30分以上加熱するリフロー処理により前記絶縁膜12Aを平坦化して、第4図 (c) に示すように、下部ゲートラインGL10上の膜厚が約4000Å、下部ゲート電極G10上の膜厚が約1000Åの平坦化絶縁膜12を形成する方法である。

なお、この第4図の方法で下部ゲート電極G10と平坦化絶縁膜12を形成する場合も、これ以後は、第3図の (d) ~ (i) に示した工程で薄膜トランジスタメモリを製造する。

第5図は前記薄膜トランジスタメモリの等価回路図であり、この薄膜トランジスタメモリは、1つの薄膜トランジスタの中に、メモリトランジスタT<sub>10</sub>と2つの選択

10

トランジスタT<sub>20</sub>, T<sub>20</sub>とを積層して形成した構成となっている。なお、第5図では1つの薄膜トランジスタメモリの等価回路を示しているが、この薄膜トランジスタメモリは、下部ゲートラインG<sub>10</sub>および上部ゲートラインG<sub>20</sub>とソース、ドレインラインSL, DLとの交差部にそれぞれ形成されている。

この薄膜トランジスタメモリの書き込み、消去、読出しは次のようにして行なわれる。

第5図において、(a) は書き込み時、(b) は消去時、(c) は読出し時の電圧印加状態を示している。

まず書き込みについて説明すると、書き込み時は、第5図 (a) に示すように、ソース電極Sおよびドレイン電極Dを接地 (GND) するとともに、選択トランジスタT<sub>20</sub>, T<sub>20</sub>のゲート電極G<sub>20</sub>にON電圧V<sub>ON</sub>を印加し、メモリトランジスタT<sub>10</sub>のゲート電極G<sub>10</sub>に書き込み電圧+V<sub>P</sub>を印加する。このような電圧を印加すると、2つの選択トランジスタT<sub>20</sub>, T<sub>20</sub>がオンし、メモリトランジスタT<sub>10</sub>のゲート電極G<sub>10</sub>とソース、ドレイン電極S, Dとの間に書き込み電圧+V<sub>P</sub>がかかるて下部ゲート絶縁膜13のメモリ領域（メモリ性絶縁膜13bのゲート電極G<sub>10</sub>対向部）に電荷がトラップされ、メモリトランジスタT<sub>10</sub>が書き込み状態 (OFF状態) となる。

また消去時は、第5図 (b) に示すように、ソース電極Sおよびドレイン電極Dを接地 (GND) するとともに、選択トランジスタT<sub>20</sub>のゲート電極G<sub>20</sub>にON電圧V<sub>ON</sub>を印加し、メモリトランジスタT<sub>10</sub>のゲート電極G<sub>10</sub>に、書き込み電圧+V<sub>P</sub>とは逆電位の消去電圧-V<sub>P</sub>を印加する。このような電圧を印加すると、選択トランジスタT<sub>20</sub>, T<sub>20</sub>がオンし、メモリトランジスタT<sub>10</sub>のゲート電極G<sub>10</sub>とソース、ドレイン電極S, Dとの間に書き込み電圧+V<sub>P</sub>と逆電位の電位差 (-V<sub>P</sub>) が生じて下部ゲート絶縁膜13のメモリ領域にトラップされている電荷が放出され、メモリトランジスタT<sub>10</sub>が消去状態 (ON状態) となる。

一方、読出し時は、第5図 (c) に示すように、メモリトランジスタT<sub>10</sub>のゲート電極G<sub>10</sub>とソース電極Sを接地 (GND) するとともに、選択トランジスタT<sub>20</sub>, T<sub>20</sub>のゲート電極G<sub>20</sub>にON電圧V<sub>ON</sub>を印加し、ドレイン電極Dに読出し電圧V<sub>D</sub>を印加する。このような電圧を印加すると、メモリトランジスタT<sub>10</sub>が消去状態 (ON状態) であればドレイン電極Dからソース電極Sに電流が流れ、メモリトランジスタT<sub>10</sub>が書き込み状態 (OFF状態) であれば前記電流は流れないため、ソース電極Sからソースラインに流れる電流の有無に応じた読出しデータが出力される。

すなわち、前記薄膜トランジスタメモリは、下部ゲート電極G<sub>10</sub>と電荷蓄積機能をもつ下部ゲート絶縁膜13と半導体層14およびソース、ドレイン電極S, Dとを積層して構成したメモリトランジスタT<sub>10</sub>の上に、電荷蓄積機能のない上部ゲート絶縁膜16と上部ゲート電極G<sub>20</sub>とを積層して、前記半導体層14およびソース、ドレイン電極S, DをメモリトランジスタT<sub>10</sub>と共用する2つの選択トラン

11

ジスタ $T_{20}, T_{20}$ を構成したものである。

この薄膜トランジスタメモリは、メモリトランジスタ $T_{10}$ と選択用薄膜トランジスタ $T_{20}, T_{20}$ とを積層して構成したものであるから、メモリトランジスタ $T_{10}$ と選択トランジスタ $T_{20}, T_{20}$ とで構成されるトランジスタメモリの素子面積を小さくして集積度を上げることができる。またこの薄膜トランジスタメモリでは、前記半導体層14およびソース、ドレイン電極S、Dをメモリトランジスタ $T_{10}$ と選択トランジスタ $T_{20}, T_{20}$ とに共用しているため、前述したような少ない工程数で容易に製造することができる。

そして、この薄膜トランジスタメモリにおいては、下部ゲート電極 $G_{10}$ を、基板11上に形成した下部ゲートライン $GL_{10}$ の上に半導体層14の一部分に対向させて突出形成して、下部ゲート絶縁膜13の下部ゲート電極 $G_{10}$ と対向する部分をメモリ領域とし、さらに前記下部ゲートライン $GL_{10}$ および下部ゲート電極 $G_{10}$ の上に、下部ゲートライン $GL_{10}$ を厚く覆い、下部ゲート電極 $G_{10}$ は薄く覆う平坦化絶縁膜12を形成して、この平坦化絶縁膜12の上に下部ゲート絶縁膜13を形成することにより、半導体層14のメモリ領域対応部分以外の部分と下部ゲートライン $GL_{10}$ との間の絶縁膜（平坦化絶縁膜12と下部ゲート絶縁膜13）の層厚を厚くし、さらに、半導体層14と上部ゲート電極 $G_{20}$ との間の上部ゲート絶縁膜16を、半導体層14の全体を覆う下層絶縁膜16aとその表面全体に形成したエッチングストップ用絶縁膜16bとその上に前記メモリ領域に対応させて形成した上層絶縁膜16cとからなる積層膜とすることにより、この上部ゲート絶縁膜16の膜厚を半導体層14のメモリ領域対応部分の上において厚くしているため、半導体層14の選択トランジスタ $T_{20}$ 領域とメモリトランジスタ $T_{10}$ のゲート電極である下部ゲート電極 $G_{10}$ との間（下部ゲートライン $GL_{10}$ との間）、および半導体層14のメモリトランジスタ $T_{10}$ 領域（下部ゲート絶縁膜13のメモリ領域に対応する部分）と選択トランジスタ $T_{20}, T_{20}$ のゲート電極である上部ゲート電極 $G_{20}$ との間をそれぞれ確実に絶縁分離することができる。したがって、この薄膜トランジスタメモリによれば、選択トランジスタ $T_{10}$ がメモリトランジスタ $T_{10}$ のゲート電極（下部ゲート電極） $G_{10}$ に印加するゲート電圧の影響で誤動作することはなく、また、メモリトランジスタ $T_{10}$ が選択トランジスタ $T_{20}, T_{20}$ のゲート電極（上部ゲート電極） $G_{20}$ に印加するゲート電圧の影響で誤動作することもないから、半導体層14およびソース、ドレイン電極S、Dを共用するメモリトランジスタ $T_{10}$ と選択トランジスタ $T_{20}, T_{20}$ とを積層して構成したものでありながら、メモリトランジスタ $T_{10}$ と選択トランジスタ $T_{20}, T_{20}$ とをそれぞれ正常に動作させて安定した書き込み、消去、読出しを行なうことができる。

しかもこの薄膜トランジスタメモリでは、前記上部ゲート絶縁膜16を、下層絶縁膜16aの表面全体にエッチ

12

グストップ用絶縁膜16bを形成しその上に上層絶縁膜16cを形成した積層膜としているため、上層絶縁膜16を前記メモリ領域に対応する形状にバーニングするエッチング時に下層絶縁膜16aがダメージを受けることはなく、したがって、膜厚を半導体層14のメモリ領域対応部分の上において厚くした上部ゲート絶縁膜16を歩留よく形成して、薄膜トランジスタメモリの信頼性を向上させることができる。

また、この薄膜トランジスタメモリでは、上部ゲート絶縁膜16のソース、ドレイン電極S、Dのほぼ中央に対向する位置から外側の部分の膜厚も厚くしているため、上部ゲート電極 $G_{20}$ とソース、ドレイン電極S、Dとの間の絶縁耐圧も十分である。

なお、前記実施例の薄膜トランジスタメモリは、1つのメモリトランジスタ $T_{10}$ に対して2つの選択トランジスタ $T_{20}$ を備えたものであるが、本発明は、1つのメモリトランジスタに対して1つの選択トランジスタを備えた薄膜トランジスタメモリにも適用できる。

第6図～第8図は本発明の第2の実施例を示している。この実施例の薄膜トランジスタメモリは、1つのメモリトランジスタ $T_{10}$ に対して1つの選択トランジスタ $T_{20}$ を備えたもので、第6図および第7図は薄膜トランジスタメモリの断面図および平面図であり、第8図は薄膜トランジスタメモリの等価回路図である。

この実施例の薄膜トランジスタメモリは、メモリトランジスタ $T_{10}$ のゲート電極である下部ゲート電極 $G_{10}$ を、基板11上に形成した下部ゲートライン $GL_{10}$ の上に半導体層14の一部分に対向させて突出形成して、下部ゲート絶縁膜13の下部ゲート電極 $G_{10}$ と対向する部分をメモリ領域とし、前記下部ゲートライン $GL_{10}$ および下部ゲート電極 $G_{10}$ の上に、下部ゲートライン $GL_{10}$ を厚く覆い下部ゲート電極 $G_{10}$ は薄く覆う平坦化絶縁膜12を形成して、この平坦化絶縁膜12の上に下部ゲート絶縁膜13を形成し、かつ選択トランジスタ $T_{20}$ のゲート電極である上部ゲート電極 $G_{20}$ は半導体層14の全体に対向させて形成するとともに、上部ゲート絶縁膜16を、半導体層14の全体を覆う下層絶縁膜16aとその表面全体に形成したエッチングストップ用絶縁膜16bとその上に前記メモリ領域に対応させて形成した上層絶縁膜16cとからなる積層膜とすることにより、この上部ゲート絶縁膜16の膜厚を前記メモリ領域に対応する部分の上において厚くしたもので、メモリトランジスタ $T_{10}$ は、下部ゲート電極 $G_{10}$ と、平坦化絶縁膜12および下部ゲート絶縁膜13と、半導体層14およびソース、ドレイン電極S、Dとによって構成され、選択トランジスタ $T_{20}$ は、前記半導体層14およびソース、ドレイン電極S、Dと、上部ゲート絶縁膜16の薄膜部分と、上部ゲート電極 $G_{20}$ とによって構成されている。

なお、この実施例の薄膜トランジスタメモリは、選択トランジスタ $T_{20}$ を1つとしただけで、基本的な構成は前記第1の実施例と変わらないから、詳細な構造の説明

13

は図に同符号を付して省略する。また、この実施例の薄膜トランジスタメモリの書き込み、消去、読出しは、第1の実施例の薄膜トランジスタメモリと同様にして行なうことができる。

## 〔発明の効果〕

本発明の薄膜トランジスタメモリは、半導体層の一面側にメモリ用ゲート絶縁膜とメモリ用ゲート電極を形成し、半導体層の他面側に、ソース、ドレイン電極、およびゲート絶縁膜、選択トランジスタ用ゲート電極を形成するので、メモリ用ゲート電極と選択トランジスタ用ゲート電極が積層される構造となり、同一平面に並べて形成する場合に比して面積を小さくすることができる。

## 【図面の簡単な説明】

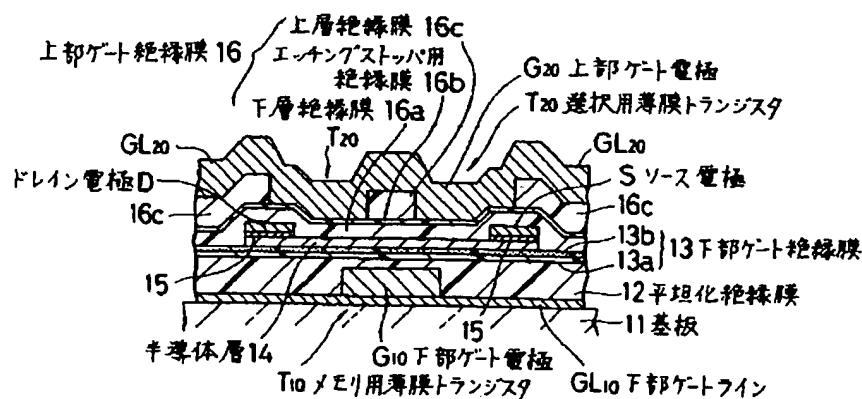
第1図～第5図は本発明の第1の実施例を示したもので、第1図および第2図は薄膜トランジスタメモリの断面図および平面図、第3図は薄膜トランジスタメモリの

14

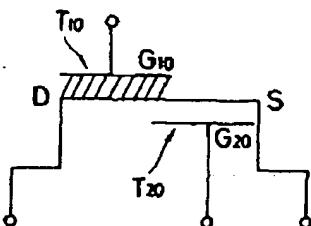
製造工程図、第4図は下部ゲート電極と平坦化絶縁膜の他の形成方法を示す工程図、第5図は薄膜トランジスタメモリの等価回路図である。第6図～第8図は本発明の第2の実施例を示したもので、第6図および第7図は薄膜トランジスタメモリの断面図および平面図、第8図は薄膜トランジスタメモリの等価回路図である。第9図は従来の薄膜トランジスタメモリの等価回路図である。

11…基板、T<sub>10</sub>…メモリ用薄膜トランジスタ、T<sub>20</sub>…選択用薄膜トランジスタ、GL<sub>10</sub>…下部ゲートライン、G<sub>10</sub>…下部ゲート電極、12…平坦化絶縁膜、13…下部ゲート絶縁膜、14…半導体層、15…オームックコンタクト層、S…ソース電極、D…ドレイン電極、16…上部ゲート絶縁膜、16a…下層絶縁膜、16b…エッティングストップ用絶縁膜、16c…上層絶縁膜、G<sub>20</sub>…上部ゲート電極。

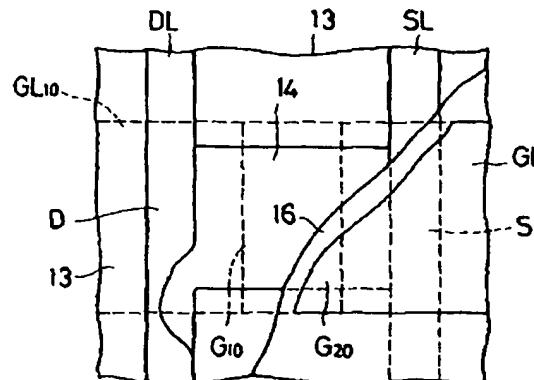
【第1図】



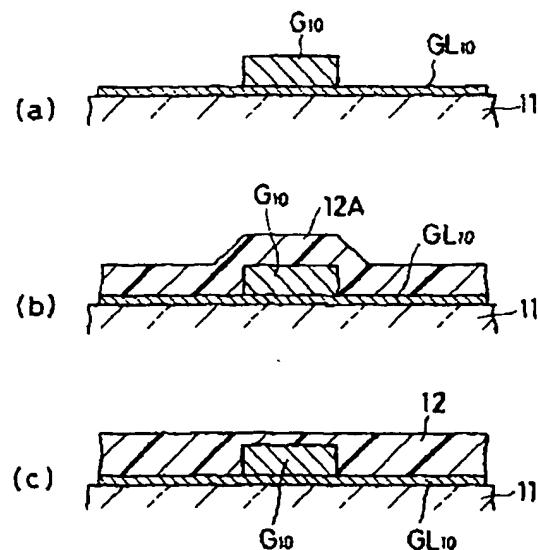
【第8図】



【第2図】



【第4図】

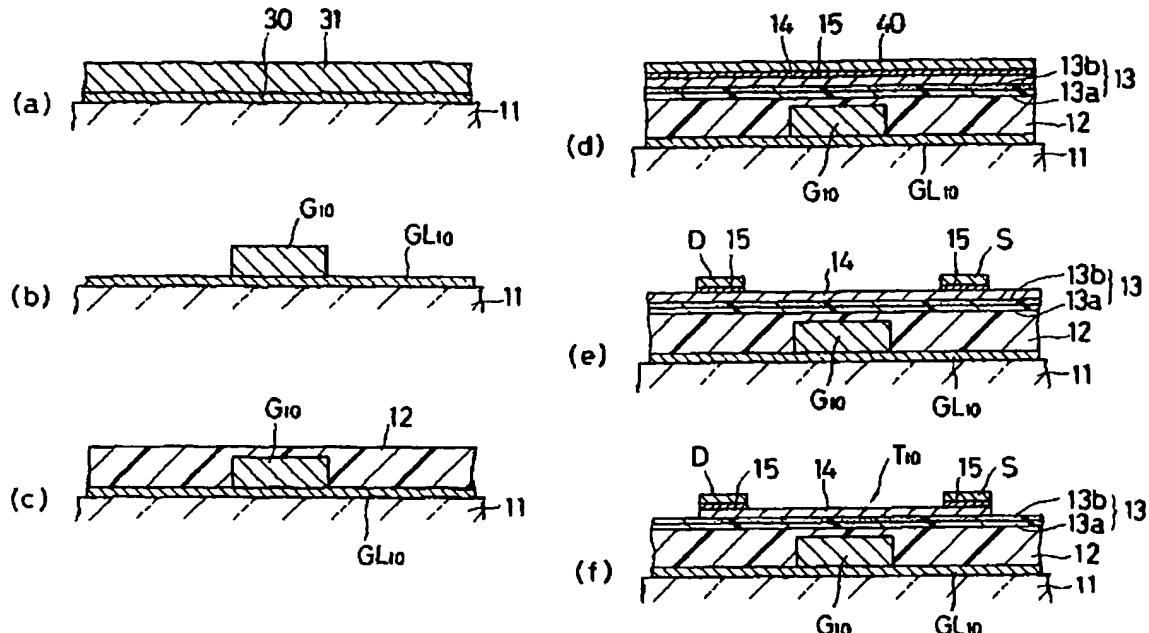


# BEST AVAILABLE COPY

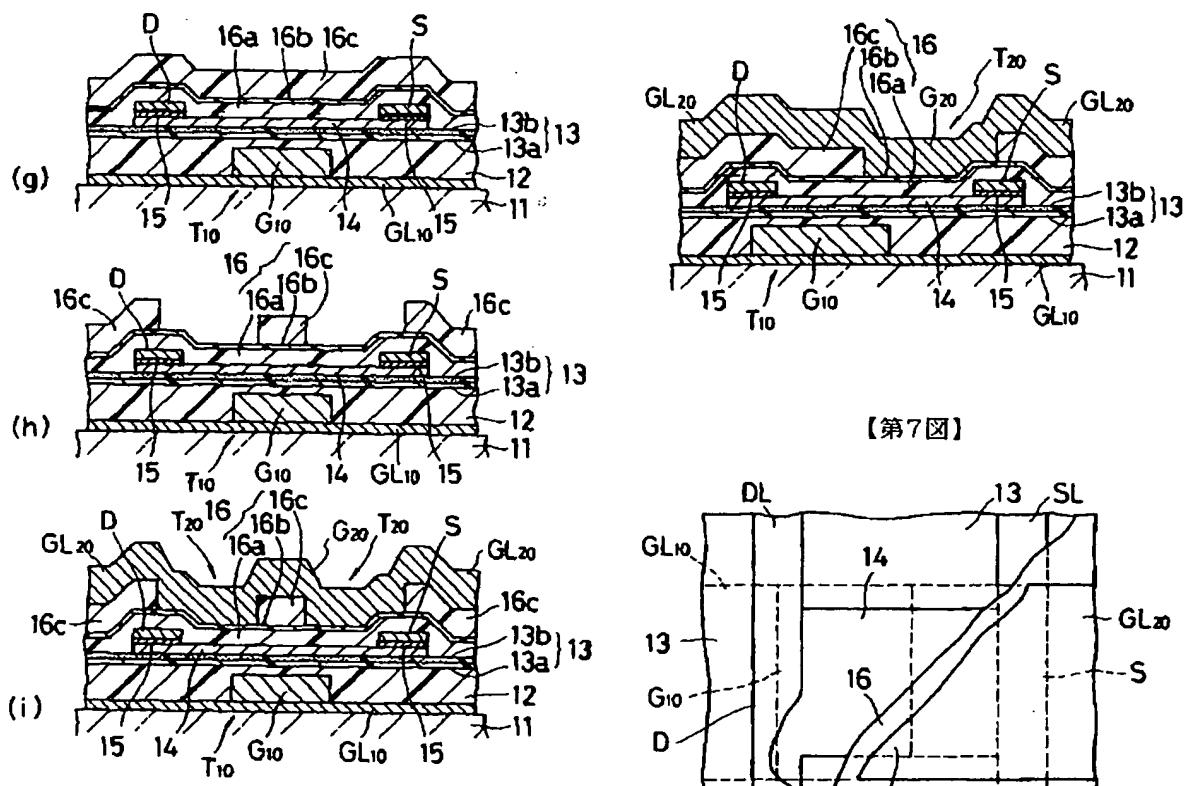
(8)

特許 2969184

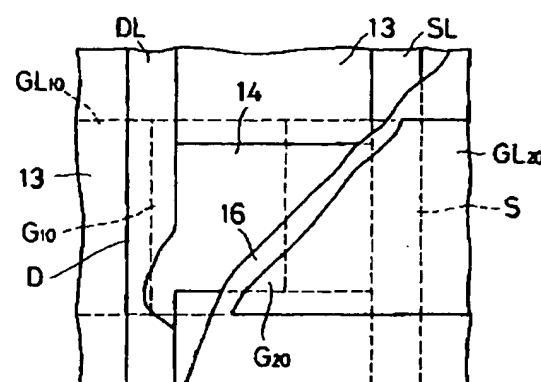
【第3図】



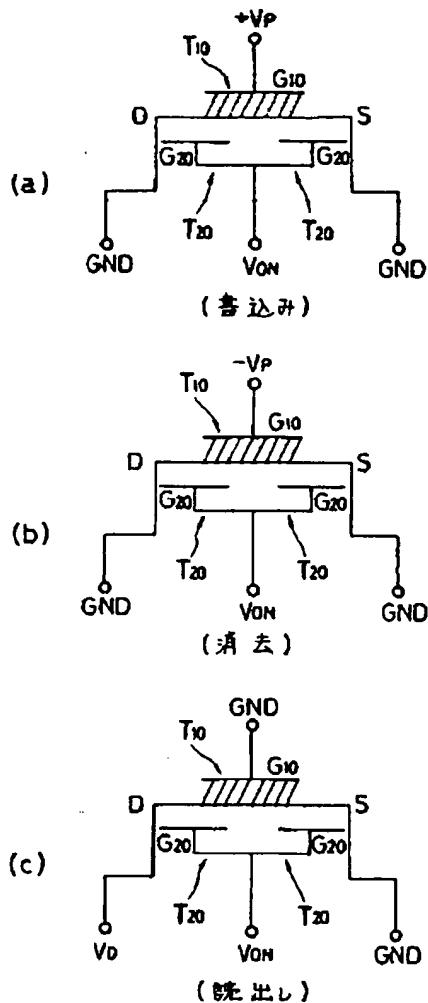
【第6図】



【第7図】



【第5図】



【第9図】

